

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Atty. Docket No. PIA31220/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF : :

Byoung Young KANG : GROUP ART UNIT:

SERIAL NO: 10/751,209

FILED: December 30, 2003 : EXAMINER:

FOR: Ceramic Packaging Method Employing Flip-Chip Bonding

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 28, 2004.

By: Jennie Heaton
Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086653	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,

Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086653

Application Number

출원년월일 : 2002년 12월 30일

Date of Application

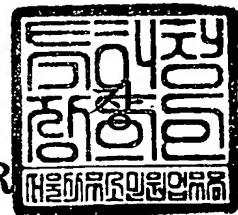
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 22 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0119	
【제출일자】	2002. 12. 30	
【발명의 명칭】	플립 -칩 세라믹 패키징 방법	
【발명의 영문명칭】	FLIP-CHIP CERAMIC PACKAGING METHOD	
【출원인】		
【명칭】	동부전자 주식회사	
【출원인코드】	1-1998-106725-7	
【대리인】		
【성명】	장성구	
【대리인코드】	9-1998-000514-8	
【포괄위임등록번호】	1999-059722-7	
【대리인】		
【성명】	김원준	
【대리인코드】	9-1998-000104-8	
【포괄위임등록번호】	1999-059725-9	
【발명자】		
【성명의 국문표기】	강병영	
【성명의 영문표기】	KANG, Byoung Young	
【주민등록번호】	670929-1897318	
【우편번호】	467-863	
【주소】	경기도 이천시 부발읍 산하리 거평아파트 101-502	
【국적】	KR	
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)	
【수수료】		
【기본출원료】	10	면 29,000 원
【가산출원료】	0	면 0 원

1020020086653

출력 일자: 2003/12/23

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 플립-칩 세라믹 패키징 방법에 관한 것이다. 즉, 본 발명은 반도체 소자 패키징에 있어서 세라믹 몸체에 오목한 홈을 파서 칩을 안착시킨 후 하단의 칩은 금 범프를 열압착 방식으로 인터커넥션하고 상단의 칩도 동일한 방식으로 인터커넥션하여 패키징함으로써, 기존의 DIP형 리드 선을 사용하지 않고, 구리 패턴을 이용하여 실장 공간을 최소화한다. 또한 PCB 와 칩간 전기적 연결거리를 최소화함으로써 소자 동작 특성을 향상시키고 조립 원가를 절감시키게 되며, 기존의 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드를 이용하여 몰딩 공정을 없앰으로서 몰딩시 발생되는 폐기물을 줄여 환경 공해를 줄일 수 있게 된다.

【대표도】

도 2

【명세서】

【발명의 명칭】

플립-칩 세라믹 패키징 방법{FLIP-CHIP CERAMIC PACKAGING METHOD}

【도면의 간단한 설명】

도 1은 종래 세라믹 패키징 공정 단면도,

도 2는 본 발명의 실시 예에 따른 플립-칩 세라믹 패키징 공정 단면도,

도 3은 상기 도 2의 패키징 공정 중 구리패턴과 금 범프가 정렬되는 세부 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체 소자 패키징 방법에 관한 것으로, 특히 세라믹 몸체에 오목한 홈을 파서 칩을 안착시킨 후, 하단의 칩은 금 범프(Gold bump)를 열압착 방식으로 인터커넥션시켜 PCB와 칩간 전기적 연결거리를 최소화함으로써 소자의 동작특성을 향상시키는 플립-칩 세라믹(Flip-chip ceramic) 패키징 방법에 관한 것이다.

<5> 도 1은 종래 세라믹 패키징 공정 단면도를 도시한 것으로, 종래에는 상기 도 1에서와 같이 세라믹 몸체(Ceramic body)(100)에 어드히시브(Adhesive)(102)를 도포한 후, 칩을 접착시킨다. 이어 골드 와이어(Gold wire)(104)를 사용하여 칩(Chip)(106)과 세라믹 몸체(100)간 와이어 본딩(Wire bonding)을 통해 인터커넥션(Interconnection)을 수행하고, 외부환경으로부터 칩(106)과 인터커넥션된 와이어를 보호하기 위하여 에폭시 몰딩 콤파운드(Epoxy molding

compound)(108)로 봉지시킨다. 그런 후, 솔더 볼(Solder ball)을 접착하여 개별화(Singulation)시키고 개개의 패키지 조립(Assembly)을 완료하게 된다.

<6> 그러나 상기한 바와 같은 종래 패키징에서는 솔더 볼을 부착하기 위해 플럭스 프린팅(Flux printing), 솔더 볼 부착(Solder ball attack), I.R 리플로우(Reflow), 플럭스 크리닝(Flux cleaning) 등과 같은 복잡한 공정을 거쳐야 하며, 조립 공정이 복잡하고 제조원가도 비싼 문제점이 있었다. 또한 에폭시 몰딩 콤파운드를 사용함으로써 발생되는 폐기물이 환경오염을 일으키는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<7> 따라서, 본 발명의 목적은 세라믹 몸체에 오목한 홈을 파서 칩을 안착시킨 후, 하단의 칩은 금 범프를 열압착 방식으로 인터커넥션시켜 PCB와 칩간 전기적 연결거리를 최소화함으로써 소자의 동작특성을 향상시키는 플립-칩 세라믹 패키징 방법을 제공함에 있다.

<8> 상술한 목적을 달성하기 위한 본 발명은 플립-칩 세라믹 패키징 방법에 있어서, (a)웨이퍼 상태에서 칩 본드 패드에 금 범프를 형성하는 단계와; (b)상기 웨이퍼를 다이 소잉을 통해 개개의 칩으로 분리시키는 단계와; (c)상기 개개의 칩을 세라믹 패키지상에 구리 패턴과 금 범프를 정렬시킨 후 열압착으로 접착시키는 단계와; (d)상기 칩 뒷면에 접착제를 사용하여 상기 칩 하단부에 다른 칩을 접착시켜 상/하단 칩 구조를 형성시키는 단계와; (e)상기 상/하단 칩을 인터커넥션하여 세라믹 패키지와 칩 본드 패드간 전기적으로 연결시키는 단계와; (f)상기 칩의 인터커넥션 부위를 인캡슐레이션하는 단계;를 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<9> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하게 설명한다.

<10> 도 2는 본 발명의 실시 예에 따른 세라믹 패키징 공정 단면도를 도시한 것이다. 이하 상기 도 2를 참조하여 본 발명의 세라믹 패키징 공정을 상세히 설명하기로 한다.

<11> 먼저 상기 도 2에서 보여지는 바와 같이 웨이퍼 상태에서 칩 본드 패드에 금 범프(Gold bump)(200)를 실시하고, 다이 소잉(Die sawing)을 수행하여 웨이퍼를 개개의 칩으로 분리시킨다. 그리고 개개의 칩을 세라믹 패키지 구리 패턴(Cu pattern)(202)과 금 범프를 정렬(Align)시킨 후, 열압착으로 접착시킨다. 도 3은 상기 구리 패턴(202)과 금 범프(200)를 정렬시키는 것을 예시한 도면으로, 세라믹 패키지(204)위에 구리 패턴(202)을 형성한 후, 그 위에 금 범프(200)와의 접착력을 향상하기 위해 금 플랜팅(planting)을 수행하게 된다. 그리고 상기 도 3에서 보여지는 바와 같이 칩 금 범프(200)가 잘 안착되도록 오목하게 홈(300)을 형성시키게 된다.

<12> 이어 칩(206) 뒷면에 에폭시나 폴리이미드 타입 등 접착제(210)를 사용하여 칩(208)을 접착시킨 후, 상단의 칩(208)은 하단의 칩(206)과 동일하게 인터커넥션시킨다. 이에 따라 세라믹 패키지와 칩 본드 패드간 전기적 연결이 완료된다.

<13> 그런 후, 칩의 인터커넥션 부분을 외부환경으로부터 보호하기 위해 절연성, 에폭시 송진(Epoxy resin)(212)으로 인캡슐레이션(Encapsulation)시키고, 상기 절연성 에폭시 송진을 경화시켜 패키지를 완성시키게 된다.

<14> 이에 따라 상기한 바와 같이 본 발명에서는 반도체 소자 패키징에 있어서 세라믹 몸체에 오목한 홈을 파서 칩을 안착시킨 후 하단의 칩은 금 범프를 열압착 방식으로 인터커넥션하고 상단의 칩도 동일한 방식으로 인터커넥션하여 패키징함으로써, 기존의 DIP형 리드 선을 사용하지 않고, 구리 패턴을 이용하여 실장 공간을 최소화할 수 있다. 또한 PCB와 칩간 전기적 연결 거리를 최소화함으로써 소자 동작 특성을 향상시키고 조립 원가를 절감시키게 되며, 기존의 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드를 이용하여 몰딩 공정을 없앰으로서 몰딩시 발생되는 폐기물을 줄여 환경 공해를 줄일 수 있게 된다.

<15> 한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

【발명의 효과】

<16> 이상에서 설명한 바와 같이, 본 발명은 반도체 소자 패키징에 있어서 세라믹 몸체에 오목한 홈을 파서 칩을 안착시킨 후 하단의 칩은 금 범프를 열압착 방식으로 인터커넥션하고 상단의 칩도 동일한 방식으로 인터커넥션하여 패키징함으로써, 기존의 DIP형 리드 선을 사용하지 않고, 구리 패턴을 이용하여 실장 공간을 최소화할 수 있는 이점이 있다. 또한 PCB와 칩간 전기적 연결거리를 최소화함으로써 소자 동작 특성을 향상시키고 조립 원가를 절감시키게 되며, 기존의 칩을 외부환경으로부터 보호하기 위해 에폭시 몰딩 콤파운드를 이용하여 몰딩 공정을 없앰으로서 몰딩시 발생되는 폐기물을 줄여 환경 공해를 줄일 수 있게 되는 이점이 있다.

【특허 청구범위】**【청구항 1】**

플립-칩 세라믹 패키징 방법에 있어서,

- (a) 웨이퍼 상태에서 칩 본드 패드에 금 범프를 형성하는 단계와;
- (b)상기 웨이퍼를 다이 소잉을 통해 개개의 칩으로 분리시키는 단계와;
- (c) 상기 개개의 칩을 세라믹 패키지상에 구리 패턴과 금 범프를 정렬시킨 후 열압착으로 접착시키는 단계와;
- (d)상기 칩 뒷면에 접착제를 사용하여 상기 칩 하단부에 다른 칩을 접착시켜 상/하단 칩 구조를 형성시키는 단계와;
- (e) 상기 상/하단 칩을 인터커넥션하여 세라믹 패키지와 칩 본드 패드간 전기적으로 연결시키는 단계와;
- (f)상기 칩의 인터커넥션 부위를 인캡슐레이션하는 단계;를 포함하는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【청구항 2】

제1항에 있어서,

상기 (c)단계에서, 상기 세라믹 패키지 하부에는 칩에서 발생하는 열을 방출시키기 위한 열방출기가 장착되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【청구항 3】

제1항에 있어서,

상기 (d)단계에서, 상기 하단의 칩 본드 패드부가 안착되는 구리 패턴에 오목한 홈이 형성되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【청구항 4】

제1항에 있어서,

상기 (d)단계에서 상기 접착제로는, 에폭시, 폴리이미지 테이프 중 어느 하나가 사용되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【청구항 5】

제1항에 있어서,

상기 (d)단계에서 상기 하단 칩은 플립-칩 본딩으로 접착되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【청구항 6】

제1항에 있어서,

상기 (e)단계에서, 상기 상/하단의 칩은, 구리 패턴을 통해 전기적으로 연결되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

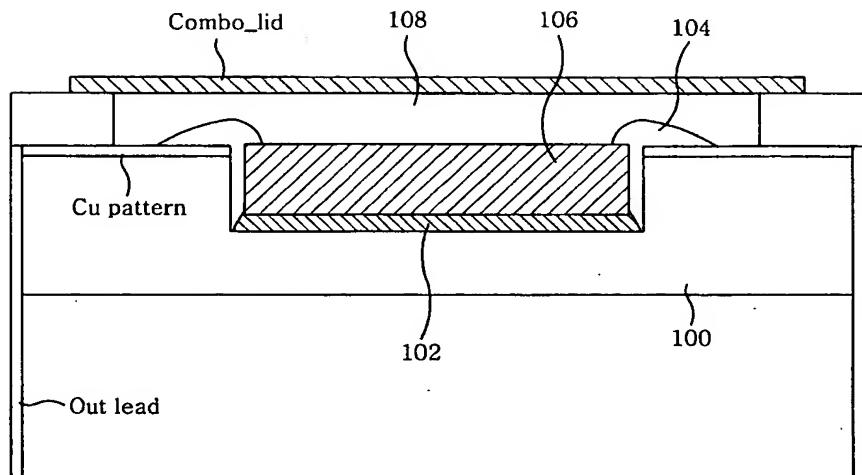
【청구항 7】

제1항에 있어서,

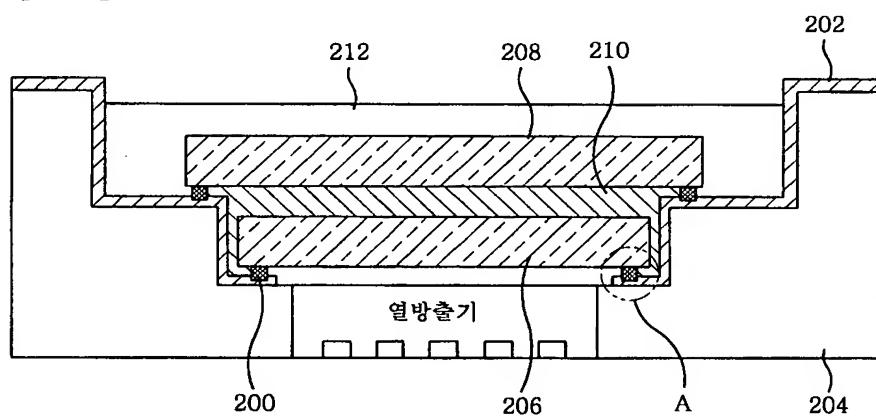
상기 (f)단계에서, 상기 칩의 인터커넥션 부위는, 에폭시 송진(epoxy resin)으로 인캡슐레이션되는 것을 특징으로 하는 플립-칩 세라믹 패키징 방법.

【도면】

【도 1】



【도 2】



【도 3】

